

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-269029

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

G06F 13/36

G06F 11/18

G06F 13/00

(21)Application number : 2001-062745

(71)Applicant : NEC CORP

(22)Date of filing : 07.03.2001

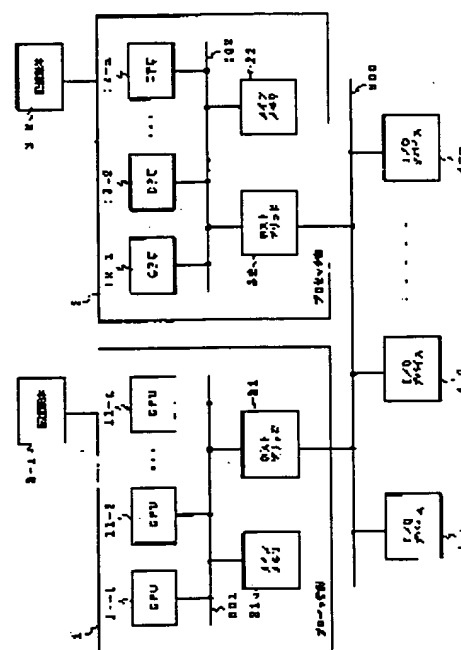
(72)Inventor : TAKEYA AKIHIRO

(54) HIGHLY RELIABLE INFORMATION PROCESSOR, INFORMATION PROCESSING METHOD USED FOR THE SAME AND PROGRAM THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable information processor which prevents the increase of the latency of I/O access, suppresses the increase of cost to be minimum and can easily be constituted.

SOLUTION: Processor parts 1 and 2 perform synchronous operations by synchronous clocks and are connected to I/O devices 4-1 to 4-m through a standard I/O bus 600. In the processor part 1, CPU 11-1 to 11-n, a main memory 21 and a host bridge 31 are connected by a host bus 501. The host bridge 31 plays the role of a bridge between the host bus 501 and the standard I/O bus 600, and monitors the operation of the processor part 2. In the processor part 2, CPU 12-1 to 12-n, a main memory 22 and a host bridge 32 are connected by a host bus 502. The host bridge 32 plays the role of a bridge between the host bus 502 and the standard I/O bus 600 and monitors the operation of the processor part 1.



LEGAL STATUS

[Date of request for examination] 15.02.2002

[Date of sending the examiner's decision of rejection] 16.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the high-reliability information processor to which the 1st and 2nd doubled processor sections and two or more I/O devices were connected through the standard-input/output bus. The 1st and 2nd host bridges which are prepared in the said 1st and 2nd processor sections of each, and play the role of the bridge between said 1st and 2nd processor sections and said standard-input/output buses, The high-reliability information processor characterized by having a comparison means [/ information / the print-out from the intraprocessor section, and / on said standard-input/output bus] when it is prepared in the said 1st and 2nd host bridges of each and supervision mode is set up beforehand.

[Claim 2] The said 1st and 2nd processor sections of each are high-reliability information processors according to claim 1 characterized by coming to mind two or more central processing units and main memory a host bus.

[Claim 3] Said 1st and 2nd host bridges are high-reliability information processors according to claim 1 or 2 characterized by performing only reception and a monitor to said standard-input/output bus, without transmitting to said standard-input/output bus at the time of said supervision mode setup.

[Claim 4] For said 1st and 2nd host bridges, claim 1 to claim 3 characterized by transmitting and receiving to said standard-input/output bus at the time of a setup of the mode of operation set up beforehand is the high-reliability information processor of a publication either.

[Claim 5] It is the information processing approach of a high-reliability information processor that the 1st and 2nd doubled processor sections and two or more I/O devices were connected through the standard-input/output bus. In the 1st [which is prepared in the said 1st and 2nd processor sections of each, and plays the role of the bridge between said 1st and 2nd processor sections and said standard-input/output buses], and 2nd host bridges of each The information processing approach characterized by having a step [/ information / the print-out from the intraprocessor section, and / on said standard-input/output bus] when supervision mode is set up beforehand.

[Claim 6] The said 1st and 2nd processor sections of each are the information processing approaches according to claim 5 characterized by coming to mind two or more central processing units and main memory a host bus.

[Claim 7] The information processing approach according to claim 5 or 6 characterized by including the step which performs only reception and a monitor to said standard-input/output bus, without transmitting to said standard-input/output bus in the said 1st and 2nd host bridges of each at the time of said supervision mode setup.

[Claim 8] Claim 5 to claim 7 characterized by including the step which transmits and receives to said standard-input/output bus at the time of a setup of the mode of operation beforehand set up in the said 1st and 2nd host bridges of each is the information processing approach of a publication either.

[Claim 9] It is a program for making information process in the high-reliability information processor to which the 1st and 2nd doubled processor sections and two or more I/O devices were connected through the standard-input/output bus. In the said 1st and 2nd processor

sections of each of the 1st [which plays the role of the bridge between said 1st and 2nd processor sections and said standard-input/output buses], and 2nd host bridges of each The program for performing processing of [information / the print-out from the intraprocessor section, and / on said standard-input/output bus], when supervision mode is set up beforehand.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the information processor which doubled the whole processor section especially about the program for the dependability of equipment, and the improvement in availability in the information processing approach list used for a high-reliability information processor and it.

[0002]

[Description of the Prior Art] Conventionally, in an information processor, the whole processor section containing CPU (central processing unit) or CPU equipped with the doubleness function for the dependability of equipment and the improvement in availability, and main memory may be doubled.

[0003] The example of a configuration of this conventional doubleness processor is shown in drawing 8 . In drawing 8 , in the doubled processor sections 5 and 6, CPU 11-1 - 11-n, 12-1 - 12-n, main memory 21 and 22, and host bridges 51 and 52 are mutually connected through the host bus 501,502, respectively, and it connects with I/O device 4-1 - 4-m through the I/O (I/O) bridge 7 and standard I/O bus 600.

[0004] Host bridges 51 and 52 are connected to the I/O bridge 7 through the dedicated interface 801,802, respectively. The I/O bridge 7 is comparing from host bridges 51 and 52 by receiving the data transmitted to coincidence.

[0005]

[Problem(s) to be Solved by the Invention] However, in the conventional information processor mentioned above, since it is necessary to go via an I/O bridge in order to compare access from the doubled processor section, and data, there is a problem that the latency of I/O access becomes large.

[0006] Moreover, since the host bridge which has a dedicated interface, and the I/O bridge which has two dedicated interfaces and a comparison means are needed, there is a problem that cost increases.

[0007] Then, it is in the purpose of this invention providing with the program the information processing approach list used for the high-reliability information processor and it which can cancel the above-mentioned trouble, can prevent latency increase of I/O access, and can be constituted easily [control the increment in cost to the minimum, and].

[0008]

[Means for Solving the Problem] The high-reliability information processor by this invention is a high-reliability information processor to which the 1st and 2nd doubled processor sections and two or more I/O devices were connected through the standard-input/output bus. The 1st and 2nd host bridges which are prepared in the said 1st and 2nd processor sections of each, and play the role of the bridge between said 1st and 2nd processor sections and said standard-input/output buses, When it is prepared in the said 1st and 2nd host bridges of each and supervision mode is set up beforehand, it has the comparison means [/ information / the print-out from the intraprocessor section, and / on said standard-input/output bus].

[0009] The information processing approach by this invention is the information processing

approach of a high-reliability information processor that the 1st and 2nd doubled processor sections and two or more I/O devices were connected through the standard-input/output bus. In the 1st [which is prepared in the said 1st and 2nd processor sections of each, and plays the role of the bridge between said 1st and 2nd processor sections and said standard-input/output buses], and 2nd host bridges of each When supervision mode is set up beforehand, it has the step [/ information / the print-out from the intraprocessor section, and / on said standard-input/output bus].

[0010] The program of the information processing approach by this invention is a program for making information process in the high-reliability information processor to which the 1st and 2nd doubled processor sections and two or more I/O devices were connected through the standard-input/output bus. In the said 1st and 2nd processor sections of each In the 1st [which plays the role of the bridge between said 1st and 2nd processor sections and said standard-input/output buses], and 2nd host bridges of each When supervision mode is set up beforehand, processing of [information / the print-out from the intraprocessor section and / on said standard-input/output bus] is performed.

[0011] namely, the host bridge in which the high-reliability information processor of this invention has a comparison means -- minding -- standard -- by connecting two or more CPUs and main memory to I / O bus, it multiplexes without preparing the interface of dedication and latency increase of I/O access is prevented.

[0012] More concretely, with the high-reliability information processor of this invention, it connects with a standard I/O bus through the host bridge which the doubled processor section builds in, respectively, a host bridge is equipped with a mode of operation and supervision mode, and only reception and a monitor are performed, without transmitting to a standard I/O bus at the time of supervision mode.

[0013] While it becomes unnecessary to check actuation of the doubled processor section by the I/O device side and the interface of dedication becomes unnecessary by this, it becomes possible to prevent latency increase of I/O access.

[0014]

[Embodiment of the Invention] Next, one example of this invention is explained with reference to a drawing. Drawing 1 is the block diagram showing the configuration of the high-reliability information processor by one example of this invention. In drawing 1, the high-reliability information processor by one example of this invention connects to standard I/O bus 600 the two processor sections 1 and 2 which perform synchronous operation, and two or more I/O (I/O) devices 4-1 - 4-m, and is constituted by the synchronous clock. There is a PCI (Peripheral Component Interconnect) bus as an example of standard I/O bus 600.

[0015] The processor section 1 consists of two or more CPU 11-1 - 11-n, main memory 21, and a host bridge 31, and these [all] are connected by the host bus 501. Moreover, the processor section 1 is connected to the storage 3-1 with which the program which CPU 11-1 - 11-n, and a host bridge 31 perform was stored. A host bridge 31 supervises actuation of the processor section 2 while playing the role of the bridge between the host bus 501 and standard I/O bus 600.

[0016] The processor section 2 consists of two or more CPU 12-1 - 12-n, main memory 22, and a host bridge 32 like the above-mentioned processor section 1, and these [all] are connected by the host bus 502. Moreover, the processor section 2 is connected to the storage 3-2 with which the program which CPU 12-1 - 12-n, and a host bridge 32 perform was stored. A host bridge 32 supervises actuation of the processor section 1 while playing the role of the bridge between the host bus 502 and standard I/O bus 600.

[0017] however -- although a storage 3-1 and 3-2 are illustrated separately -- the processor sections 1 and 2 -- it is different, and it comes out, and since it is and the actuation can also be replaced mutually, the thing in a mode of operation and supervision mode established common to the processor section 1 and 2 each is also possible for each actuation.

[0018] Drawing 2 is the block diagram showing the configuration of the host bridge 31 of drawing 1. In drawing 2, the host bridge 31 consists of the host interface section 311, the I/O-interface section 312, the error control section 313, a mode control section 314, a comparator 315, and

gate circuits 316-319.

[0019] The host interface section 311 is equipped with a transmission buffer 3111, a receive buffer 3112, and gate circuits 3113 and 3114, and transmits and receives data between the host buses 501. Here, with data, light data or not only lead data but an instruction and the address shall be included (suppose hereafter that it is the same).

[0020] The I/O-interface section 312 is equipped with a transmission buffer 3121, a receive buffer 3122, and gate circuits 3123 and 3124, and transmits and receives data between standard I/O buses 600.

[0021] The error control section 313 receives the signal which notifies the error signal transmitted from the host bus 501 and standard I/O bus 600, and the error detected in the host interface section 311 and the I/O-interface section 312 of the host bridge 31 interior, and the comparison result from a comparator 315, and transmits an error signal to the host bus 501 or standard I/O bus 600.

[0022] The mode control section 314 controls the mode of a host bridge 31 according to the directions from a control program, or the notice from the error control section 313, and changes the condition of transmission to standard I/O bus 600, and the condition of actuation of a comparator 315 from a transmission buffer 3121.

[0023] A comparator 315 notifies a comparison result for the output data of a transmission buffer 3121, and the output data of a receive buffer 3122 to the error control section 313 as compared with the time of supervision mode.

[0024] In addition, in drawing 2, since the means for controlling a transfer is the same as that of the usual bus bridge, explanation is omitted in the illustration list. Moreover, although the host bridge 32 is not illustrating, it has the same composition as the above-mentioned host bridge 31.

[0025] Drawing 3 and drawing 4 are drawings showing actuation in case CPU 11-1 of drawing 1 and 12-1 access to I/O device 4-1, and drawing 5 and drawing 6 are drawings showing actuation in case I/O device 4-1 of drawing 1 carries out DMA (Direct Memory Access) access. In addition, in drawing 3 - drawing 6, a storage 3-1 and illustration of 3-2 are omitted.

[0026] Moreover, drawing 7 is a flow chart which shows actuation of the high-reliability information processor by one example of this invention. With reference to these drawing 1 - drawing 7, actuation of the high-reliability information processor by one example of this invention is explained. Here, actuation shown in drawing 7 is realized because the processor sections 1 and 2 perform a storage 3-1 and the program stored in 3-2.

[0027] The processor sections 1 and 2 receive supply of a synchronous clock, and perform synchronous operation. At this time, by initial setting, a host bridge 31 becomes a mode of operation, and a host bridge 32 becomes supervision mode. It usually passes along the host bridge 31 which is a mode of operation, and it performs data transfer between the host bus 501 and standard I/O bus 600 (drawing 7 steps S1 and S2).

[0028] Although the host bridge 32 which is supervision mode performs the data transmission and reception to the host bus 502, and data reception from standard I/O bus 600 like a host bridge 31, data transmission to standard I/O bus 600 is not performed (drawing 7 steps S1 and S3). Moreover, a host bridge 32 receives the data to I/O device 4-i (i= 1, 2, ..., m) which the host bridge 31 transmitted on standard I/O bus 600.

[0029] When CPU 11-1 and 12-1 carry out a light to I/O device 4-1, CPU 11-1 and 12-1 transmit a command, the address, and light data to host bridges 31 and 32 (911,912 reference of drawing 3).

[0030] A host bridge 31 transmits a command, the address, and light data to I/O device 4-1 through standard I/O bus 600, and I/O device 4-1 receives this (921 reference of drawing 3).

[0031] A host bridge 32 receives to coincidence the command transmitted to I/O device 4-1, the address, and light data through standard I/O bus 600 (922 reference of drawing 3), and compares with the command and the address to which they have been transmitted from CPU 12-1 through the host bus 502, and light data (drawing 7 step S4).

[0032] When CPU 11-1 and 12-1 lead to I/O device 4-1, CPU 11-1 and 12-1 transmit a command and the address to host bridges 31 and 32 (911,912 reference of drawing 3). A host bridge 31 transmits a command and the address to I/O device 4-1 through standard I/O bus

600, and I/O device 4-1 receives this (921 reference of drawing 3).

[0033] A host bridge 32 receives to coincidence the command and the address which were transmitted to I/O device 4-1 through standard I/O bus 600 (922 reference of drawing 3), and compares with the command and the address to which they have been transmitted from CPU 12-1 through the host bus 502 (drawing 7 step S4).

[0034] I/O device 4-1 transmits lead data to a host bridge 31. Host bridges 31 and 32 receive this (931 of drawing 4 , 932 reference), and transmit it to CPU 11-1 and 12-1 (941 of drawing 4 , 942 reference).

[0035] When I/O device 4-1 carries out a DMA light, I/O device 4-1 transmits a command, the address, and light data to a host bridge 31 through standard I/O bus 600. Host bridges 31 and 32 receive this (951,952 reference of drawing 5), and transmit it to main memory 21 and 22 through the host bus 501,502 (961,962 reference of drawing 5).

[0036] When I/O device 4-1 carries out a DMA lead, I/O device 4-1 transmits a command and the address to a host bridge 31 through standard I/O bus 600. Host bridges 31 and 32 receive this (951,952 reference of drawing 5), and transmit it to main memory 21 and 22 through the host bus 501,502 (961,962 reference of drawing 5).

[0037] Main memory 21 and 22 transmits lead data to host bridges 31 and 32 through the host bus 501,502 (971,972 reference of drawing 6). A host bridge 31 transmits lead data to I/O device 4-1 through standard I/O bus 600, and I/O device 4-1 receives this (981 reference of drawing 6).

[0038] A host bridge 32 receives to coincidence the lead data transmitted from the host bridge 31 to I/O device 4-1 through standard I/O bus 600 (982 reference of drawing 6 R> 6), and compares with the lead data to which they have been transmitted from main memory 22 through the host bus 502 (drawing 7 step S4).

[0039] A host bridge 32 will output the error signal of standard I/O bus 600, if an inequality is detected as a result of the above-mentioned comparison (the comparison of drawing 3 of 912,922, 972,982 comparisons of drawing 6) (drawing 7 step S5) (drawing 7 step S6).

[0040] By this error signal, an interrupt occurs to CPU and an interruption processing program starts (drawing 7 step S7). An interruption processing program performs the retry of access, specification of the cause of a failure, the mode change of a host bridge, etc.

[0041] Thus, since it is not necessary to go via an I/O bridge on the occasion of the comparison of access from the doubled processor sections 1 and 2, and data, latency increase of I/O access can be prevented.

[0042] Moreover, since the host bridge which has a dedicated interface, and the I/O bridge which has two dedicated interfaces and a comparison means become unnecessary and can use general-purpose CPU and a general-purpose I/O device, the increment in cost can be controlled to the minimum, and it can constitute easily.

[0043] In drawing 1 , the processor sections 1 and 2 are made into the configuration of module, and it becomes possible to exchange the module which the failure generated, with processing continued, if the gestalt connected to standard I/O bus 600 through the connector in which hot swapping is possible is taken, and an upgrade becomes possible easily to compensate for high-performance-izing of CPU. There is a hot plug PCI as an example of this hot-swapping method.

[0044] Furthermore, although the processor sections 1 and 2 were made into two pieces in drawing 1 , when it does not restrict to two pieces and three or more pieces connect, in the interruption processing at the time of detecting an inequality, it becomes possible to specify a failure generating part easily as a result of a comparison in a host bridge.

[0045]

[Effect of the Invention] In the high-reliability information processor to which the 1st and 2nd doubled processor sections and two or more I/O devices were connected through the standard-input/output bus according to this invention as explained above In the 1st [which is prepared in the 1st and 2nd processor sections of each, and plays the role of the bridge between the 1st and 2nd processor sections and a standard-input/output bus], and 2nd host bridges of each When supervision mode is set up beforehand, by comparing the print-out from the intraprocessor section with the information on a standard-input/output bus, latency increase of I/O access can

be prevented, and the increment in cost is controlled to the minimum, and it is effective in the ability to constitute easily.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-269029

(P2002-269029A)

(43)公開日 平成14年9月20日(2002.9.20)

(51)Int.Cl. ⁷	識別記号	F I	テーム(参考)
G 0 6 F 13/36	3 1 0	G 0 6 F 13/36	3 1 0 E 5 B 0 3 4
11/18	3 1 0	11/18	3 1 0 A 5 B 0 6 1
13/00	3 0 1	13/00	3 0 1 A 5 B 0 8 3

審査請求 有 請求項の数9 O L (全 9 頁)

(21)出願番号 特願2001-62745(P2001-62745)

(22)出願日 平成13年3月7日(2001.3.7)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 竹谷 彰浩

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088812

弁理士 ▲柳▼川 信

Fターム(参考) 5B034 AA01

5B061 FF01 GG13 GG15

5B083 AA01 BB01 CC04 CC06 DD08

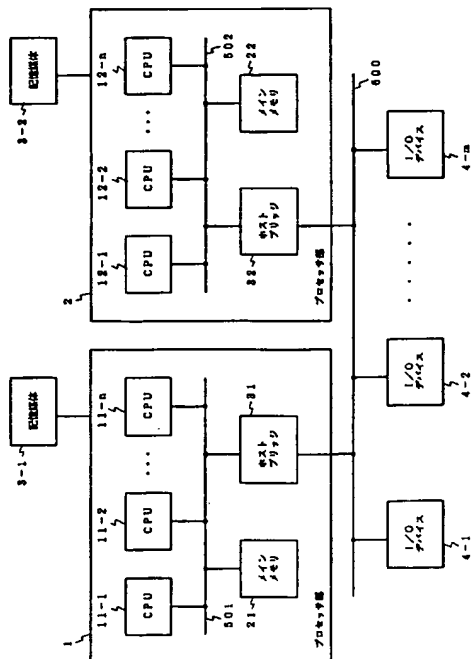
DD11 EF05 GG04

(54)【発明の名称】 高信頼性情報処理装置及びそれに用いる情報処理方法並びにそのプログラム

(57)【要約】

【課題】 I/Oアクセスのレイテンシ増大を防ぎ、コストの増加を最小限に抑制しかつ容易に構成可能な高信頼性情報処理装置を提供する。

【解決手段】 プロセッサ部1, 2は同期クロックによって同期動作を行い、標準I/Oバス600を介してI/Oデバイス4-1~4-mに接続されている。プロセッサ部1はCPU11-1~11-nとメインメモリ21とホストブリッジ31とがホストバス501によって接続されている。ホストブリッジ31はホストバス501と標準I/Oバス600との間のブリッジの役割を果たし、プロセッサ部2の動作を監視する。プロセッサ部2はCPU12-1~12-nとメインメモリ22とホストブリッジ32とがホストバス502によって接続されている。ホストブリッジ32はホストバス502と標準I/Oバス600との間のブリッジの役割を果たすとともに、プロセッサ部1の動作を監視する。



【0008】

【課題を解決するための手段】本発明による高信頼性情報処理装置は、二重化された第1及び第2のプロセッサ部と複数の入出力デバイスとが標準入出力バスを介して接続された高信頼性情報処理装置であって、前記第1及び第2のプロセッサ部各々に設けられかつ前記第1及び第2のプロセッサ部と前記標準入出力バスとの間のブリッジの役割を果たす第1及び第2のホストブリッジと、前記第1及び第2のホストブリッジ各々に設けられかつ予め監視モードが設定されている時に自プロセッサ部からの出力情報と前記標準入出力バス上の情報とを比較する比較手段とを備えている。

【0009】本発明による情報処理方法は、二重化された第1及び第2のプロセッサ部と複数の入出力デバイスとが標準入出力バスを介して接続された高信頼性情報処理装置の情報処理方法であって、前記第1及び第2のプロセッサ部各々に設けられかつ前記第1及び第2のプロセッサ部と前記標準入出力バスとの間のブリッジの役割を果たす第1及び第2のホストブリッジ各々において予め監視モードが設定されている時に自プロセッサ部からの出力情報と前記標準入出力バス上の情報とを比較するステップを備えている。

【0010】本発明による情報処理方法のプログラムは、二重化された第1及び第2のプロセッサ部と複数の入出力デバイスとが標準入出力バスを介して接続された高信頼性情報処理装置において情報処理を行わせるためのプログラムであって、前記第1及び第2のプロセッサ部各々に、前記第1及び第2のプロセッサ部と前記標準入出力バスとの間のブリッジの役割を果たす第1及び第2のホストブリッジ各々において予め監視モードが設定されている時に自プロセッサ部からの出力情報と前記標準入出力バス上の情報とを比較する処理を実行させている。

【0011】すなわち、本発明の高信頼性情報処理装置は、比較手段を有するホストブリッジを介して標準I/OバスにCPUとメインメモリとを複数個接続することによって、専用のインタフェースを用意することなく多重化を行うものであり、またI/Oアクセスのレイテンシ増大を防ぐものである。

【0012】より具体的に、本発明の高信頼性情報処理装置では、二重化されたプロセッサ部がそれぞれ内蔵するホストブリッジを介して標準I/Oバスに接続され、ホストブリッジが動作モードと監視モードとを備え、監視モード時に標準I/Oバスに対して送信を行わずに受信及び監視のみを行う。

【0013】これによって、二重化したプロセッサ部の動作をI/Oデバイス側でチェックする必要がなくなり、専用のインタフェースが不要になるとともに、I/Oアクセスのレイテンシ増大を防ぐことが可能となる。

【0014】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例による高信頼性情報処理装置の構成を示すブロック図である。図1において、本発明の一実施例による高信頼性情報処理装置は、同期クロックによって同期動作を行う2個のプロセッサ部1、2と、複数のI/O（入出力）デバイス4-1～4-mとを標準I/Oバス600に接続して構成されている。標準I/Oバス600の一例としてはPCI（Peripheral Component Interconnect）バスがある。

【0015】プロセッサ部1は複数のCPU11-1～11-nと、メインメモリ21と、ホストブリッジ31とからなり、これら全てがホストバス501によって接続されている。また、プロセッサ部1はCPU11-1～11-n及びホストブリッジ31が実行するプログラムが格納された記憶媒体3-1に接続されている。ホストブリッジ31はホストバス501と標準I/Oバス600との間のブリッジの役割を果たすとともに、プロセッサ部2の動作を監視する。

【0016】プロセッサ部2は上記のプロセッサ部1と同様に、複数のCPU12-1～12-nと、メインメモリ22と、ホストブリッジ32とからなり、これら全てがホストバス502によって接続されている。また、プロセッサ部2はCPU12-1～12-n及びホストブリッジ32が実行するプログラムが格納された記憶媒体3-2に接続されている。ホストブリッジ32はホストバス502と標準I/Oバス600との間のブリッジの役割を果たすとともに、プロセッサ部1の動作を監視する。

【0017】但し、記憶媒体3-1、3-2は別々に図示しているが、プロセッサ部1、2各々の動作は動作モードと監視モードとにおける違いであり、また相互にその動作を互換することもできるので、プロセッサ部1、2各々に共通に設けることも可能である。

【0018】図2は図1のホストブリッジ31の構成を示すブロック図である。図2において、ホストブリッジ31はホストインタフェース部311と、I/Oインタフェース部312と、エラー制御部313と、モード制御部314と、比較器315と、ゲート回路316～319とから構成されている。

【0019】ホストインタフェース部311は送信バッファ3111と、受信バッファ3112と、ゲート回路3113、3114とを備え、ホストバス501との間でデータの送受信を行う。ここで、データとはライトデータあるいはリードデータのみならず、命令及びアドレスも含むものとする（以下、同様とする）。

【0020】I/Oインタフェース部312は送信バッファ3121と、受信バッファ3122と、ゲート回路3123、3124とを備え、標準I/Oバス600との間でデータの送受信を行う。

【0021】エラー制御部313はホストバス501及び標準I/Oバス600から転送されるエラー信号と、ホストブリッジ31内部のホストインタフェース部311及びI/Oインタフェース部312で検出したエラーを通知する信号と、比較器315からの比較結果とを受信し、ホストバス501あるいは標準I/Oバス600にエラー信号を送信する。

【0022】モード制御部314は制御プログラムからの指示あるいはエラー制御部313からの通知にしたがってホストブリッジ31のモードを制御し、送信バッファ3121から標準I/Oバス600への送信の状態及び比較器315の動作の状態を切替える。

【0023】比較器315は監視モード時に送信バッファ3121の出力データと受信バッファ3122の出力データとを比較し、比較結果をエラー制御部313に通知する。

【0024】尚、図2において、転送を制御するための手段は通常のバスブリッジと同様であるので、その図示並びに説明を省略する。また、ホストブリッジ32は図示していないが、上記のホストブリッジ31と同様の構成となっている。

【0025】図3及び図4は図1のCPU11-1、12-1がI/Oデバイス4-1に対してアクセスする場合の動作を示す図であり、図5及び図6は図1のI/Oデバイス4-1がDMA(Direct Memory Access)アクセスする場合の動作を示す図である。尚、図3～図6においては記憶媒体3-1、3-2の図示を省略している。

【0026】また、図7は本発明の一実施例による高信頼性情報処理装置の動作を示すフローチャートである。これら図1～図7を参照して本発明の一実施例による高信頼性情報処理装置の動作について説明する。ここで、図7に示す動作はプロセッサ部1、2が記憶媒体3-1、3-2に格納されたプログラムを実行することで実現される。

【0027】プロセッサ部1、2は同期クロックの供給を受け、同期動作を行う。この時、初期設定によって、ホストブリッジ31は動作モードに、ホストブリッジ32は監視モードになる。動作モードであるホストブリッジ31は通常通り、ホストバス501と標準I/Oバス600との間でデータ転送を行う(図7ステップS1、S2)。

【0028】監視モードであるホストブリッジ32はホストバス502に対するデータ送受信及び標準I/Oバス600からのデータ受信をホストブリッジ31と同様に行うが、標準I/Oバス600へのデータ送信を行わない(図7ステップS1、S3)。また、ホストブリッジ32はホストブリッジ31が標準I/Oバス600上に送信したI/Oデバイス4-i(i=1, 2, ..., m)に対するデータを受信する。

【0029】CPU11-1、12-1がI/Oデバイス4-1に対してライトする場合、CPU11-1、12-1はホストブリッジ31、32に対してコマンド、アドレス、ライトデータを転送する(図3の911、912参照)。

【0030】ホストブリッジ31は標準I/Oバス600を介してI/Oデバイス4-1に対してコマンド、アドレス、ライトデータを転送し、I/Oデバイス4-1はこれを受信する(図3の921参照)。

【0031】ホストブリッジ32はI/Oデバイス4-1に対して転送されたコマンド、アドレス、ライトデータを標準I/Oバス600を介して同時に受信し(図3の922参照)、それらをホストバス502を介してCPU12-1から転送されてきたコマンド、アドレス、ライトデータと比較する(図7ステップS4)。

【0032】CPU11-1、12-1がI/Oデバイス4-1に対してリードする場合、CPU11-1、12-1はホストブリッジ31、32に対してコマンド、アドレスを転送する(図3の911、912参照)。ホストブリッジ31は標準I/Oバス600を介してI/Oデバイス4-1に対してコマンド、アドレスを転送し、I/Oデバイス4-1はこれを受信する(図3の921参照)。

【0033】ホストブリッジ32はI/Oデバイス4-1に対して転送されたコマンド、アドレスを標準I/Oバス600を介して同時に受信し(図3の922参照)、それらをホストバス502を介してCPU12-1から転送されてきたコマンド、アドレスと比較する(図7ステップS4)。

【0034】I/Oデバイス4-1はホストブリッジ31に対してリードデータを転送する。ホストブリッジ31、32はこれを受信し(図4の931、932参照)、CPU11-1、12-1に転送する(図4の941、942参照)。

【0035】I/Oデバイス4-1がDMAライトする場合、I/Oデバイス4-1は標準I/Oバス600を介してホストブリッジ31に対してコマンド、アドレス、ライトデータを転送する。ホストブリッジ31、32はこれを受信し(図5の951、952参照)、ホストバス501、502を介してメインメモリ21、22に転送する(図5の961、962参照)。

【0036】I/Oデバイス4-1がDMAリードする場合、I/Oデバイス4-1は標準I/Oバス600を介してホストブリッジ31に対してコマンド、アドレスを転送する。ホストブリッジ31、32はこれを受信し(図5の951、952参照)、ホストバス501、502を介してメインメモリ21、22に転送する(図5の961、962参照)。

【0037】メインメモリ21、22はホストバス501、502を介してホストブリッジ31、32に対して

リードデータを転送する(図6の971, 972参照)。ホストブリッジ31は標準I/Oバス600を介してI/Oデバイス4-1に対してリードデータを転送し、I/Oデバイス4-1はこれを受信する(図6の981参照)。

【0038】ホストブリッジ32は標準I/Oバス600を介してホストブリッジ31からI/Oデバイス4-1に対して転送されたリードデータを同時に受信し(図6の982参照)、それらをホストバス502を介してメインメモリ22から転送されてきたリードデータと比較する(図7ステップS4)。

【0039】ホストブリッジ32は上記の比較(図3の912, 922の比較、図6の972, 982の比較)の結果、不一致を検出すれば(図7ステップS5)、標準I/Oバス600のエラー信号を出力する(図7ステップS6)。

【0040】このエラー信号によってCPUに対して割り込みが発生し、割り込み処理プログラムが起動する(図7ステップS7)。割り込み処理プログラムはアクセスのリトライや障害原因の特定、ホストブリッジのモード切替等を実行する。

【0041】このように、二重化したプロセッサ部1, 2からのアクセス、データの比較に際し、I/Oブリッジを経由する必要がないので、I/Oアクセスのレイテンシ増大を防ぐことができる。

【0042】また、専用インタフェースを有するホストブリッジや、2つの専用インタフェース及び比較手段を有するI/Oブリッジが不要になり、汎用のCPU及びI/Oデバイスを使用することができるので、コストの増加を最小限に抑制しかつ容易に構成することができる。

【0043】図1において、プロセッサ部1, 2をモジュール構成とし、活線挿抜可能なコネクタを介して標準I/Oバス600に接続する形態をとると、処理を継続したまま、障害が発生したモジュールを交換することが可能となり、またCPUの高性能化に合わせてアップグレードが容易に可能となる。この活線挿抜方式の一例としてはホットプラグPCIがある。

【0044】さらに、図1ではプロセッサ部1, 2を2個としたが、2個に限るものではなく、3個以上接続した場合には、ホストブリッジにて比較の結果、不一致を検出した際の割り込み処理において、障害発生部分を容易に特定することが可能となる。

【0045】

【発明の効果】以上説明したように本発明によれば、二重化された第1及び第2のプロセッサ部と複数の入出力デバイスとが標準入出力バスを介して接続された高信頼

性情報処理装置において、第1及び第2のプロセッサ部各々に設けられかつ第1及び第2のプロセッサ部と標準入出力バスとの間のブリッジの役割を果たす第1及び第2のホストブリッジ各々において予め監視モードが設定されている時に自プロセッサ部からの出力情報と標準入出力バス上の情報とを比較することによって、入出力アクセスのレイテンシ増大を防ぐことができ、コストの増加を最小限に抑制しかつ容易に構成することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による高信頼性情報処理装置の構成を示すブロック図である。

【図2】図1のホストブリッジ31の構成を示すブロック図である。

【図3】図1のCPU11-1, 12-1がI/Oデバイス4-1に対してアクセスする場合の動作を示す図である。

【図4】図1のCPU11-1, 12-1がI/Oデバイス4-1に対してアクセスする場合の動作を示す図である。

【図5】図1のI/Oデバイス4-1がDMAアクセスする場合の動作を示す図である。

【図6】図1のI/Oデバイス4-1がDMAアクセスする場合の動作を示す図である。

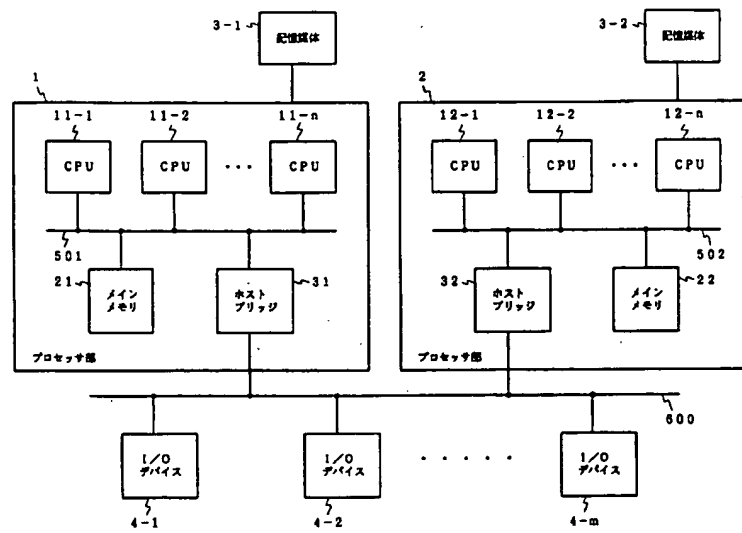
【図7】本発明の一実施例による高信頼性情報処理装置の動作を示すフローチャートである。

【図8】従来例による二重化処理装置の構成を示すブロック図である。

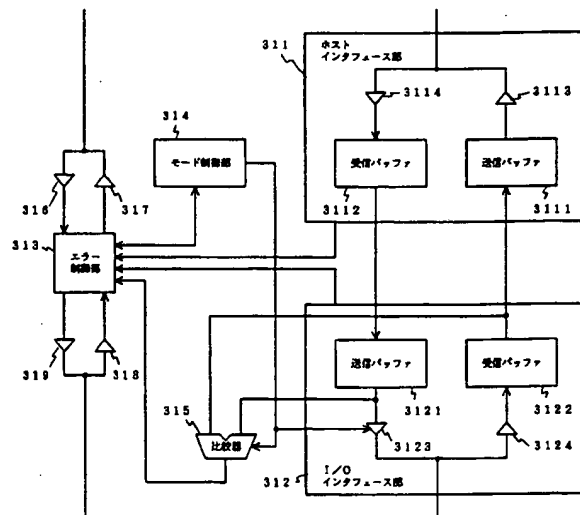
【符号の説明】

- 1, 2 プロセッサ部
- 3-1, 3-2 記憶媒体
- 4-1~4-m I/Oデバイス
- 11-1~11-n,
- 12-1~12-n CPU
- 21, 22 メインメモリ
- 31, 32 ホストブリッジ
- 311 ホストインタフェース部
- 312 I/Oインタフェース部
- 313 エラー制御部
- 314 モード制御部
- 315 比較器
- 316~319, 3113, 3114, 3123, 3124 ゲート回路
- 501, 502 ホストバス
- 600 標準I/Oバス
- 3111, 3121 送信バッファ
- 3112, 3122 受信バッファ

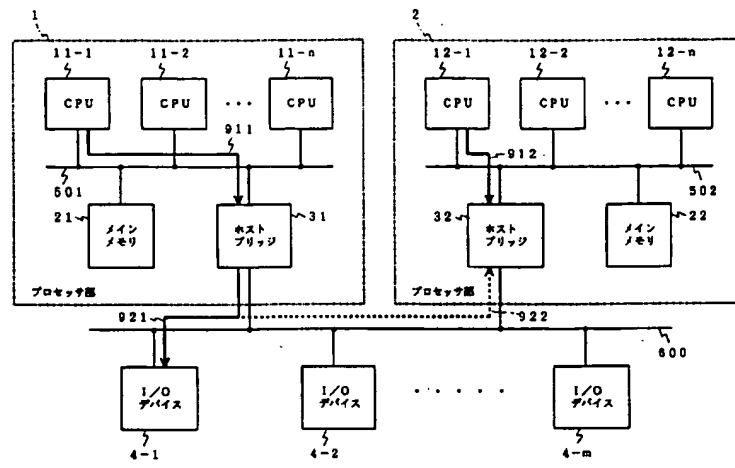
【図1】



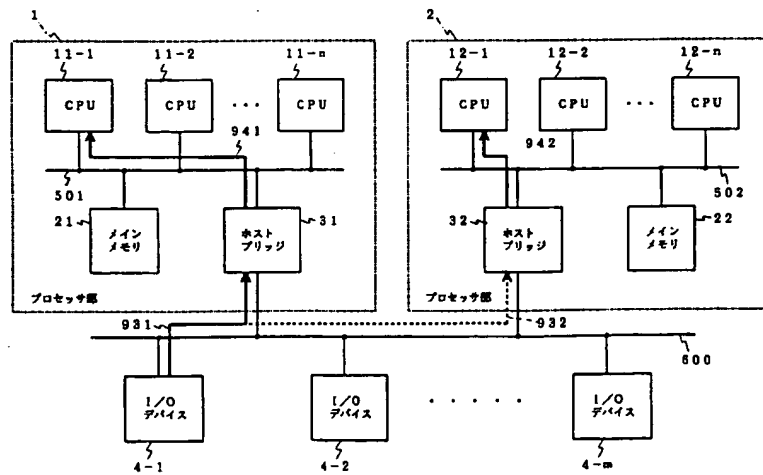
【図2】



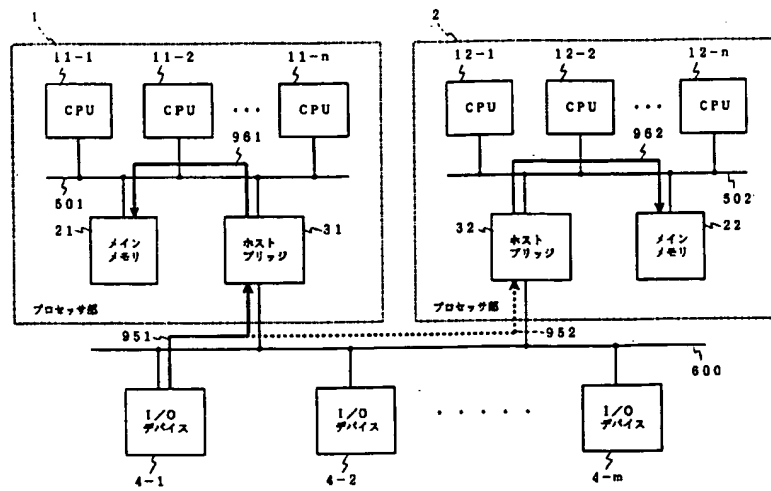
【図3】



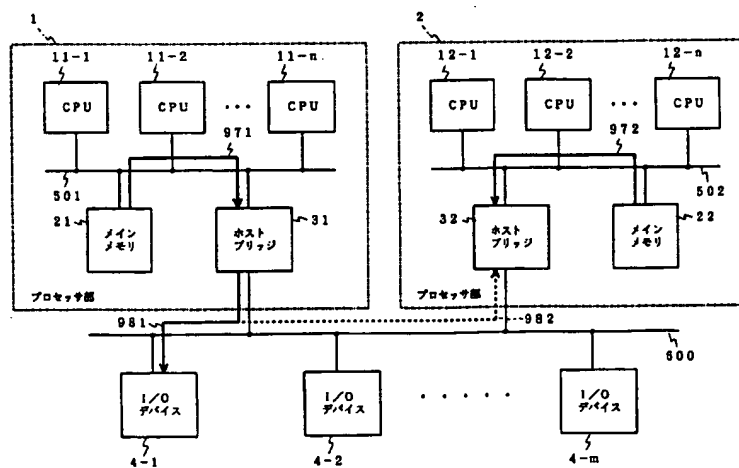
【図4】



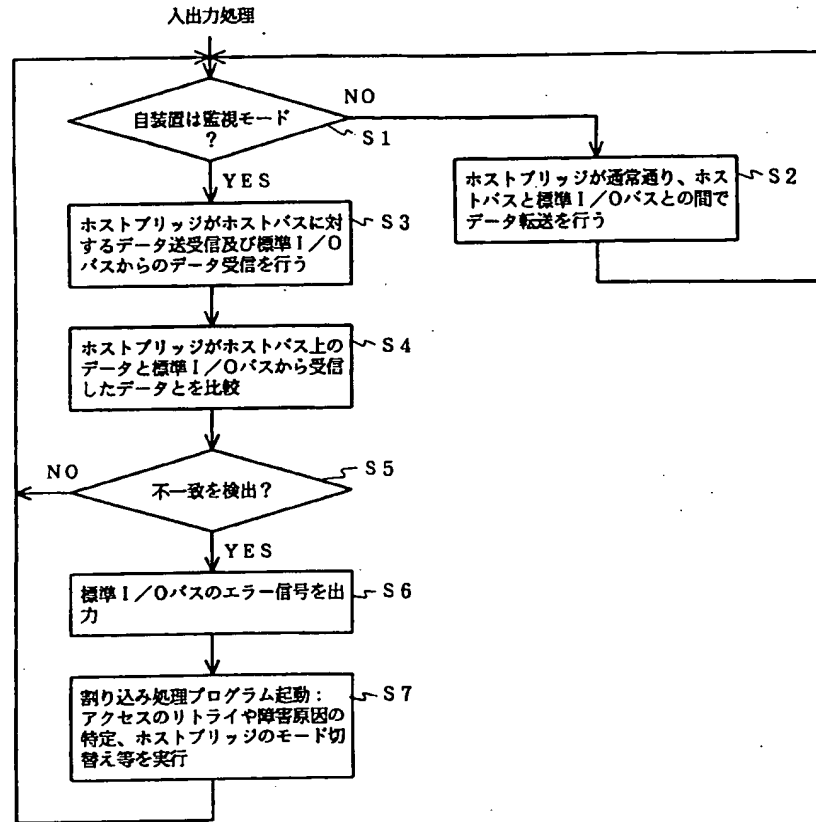
【図5】



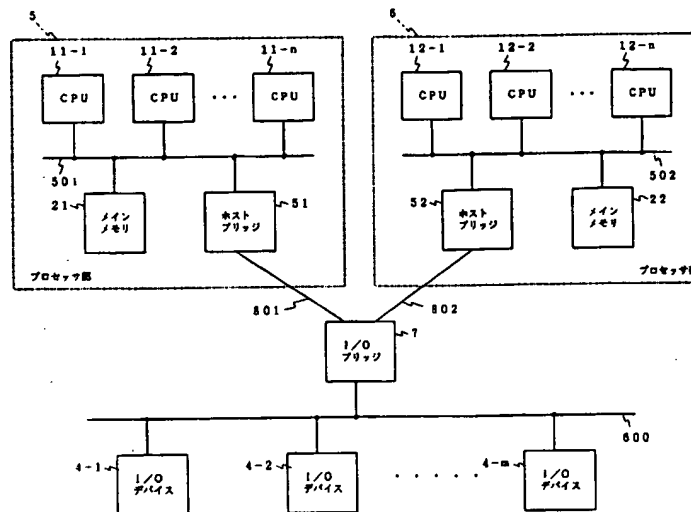
【図6】



【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.